

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-040713

(43)Date of publication of application : 08.02.2000

(51)Int.Cl.

H01L 21/60

H01L 23/12

(21)Application number : 10-207677

(71)Applicant : CITIZEN WATCH CO LTD

(22)Date of filing : 23.07.1998

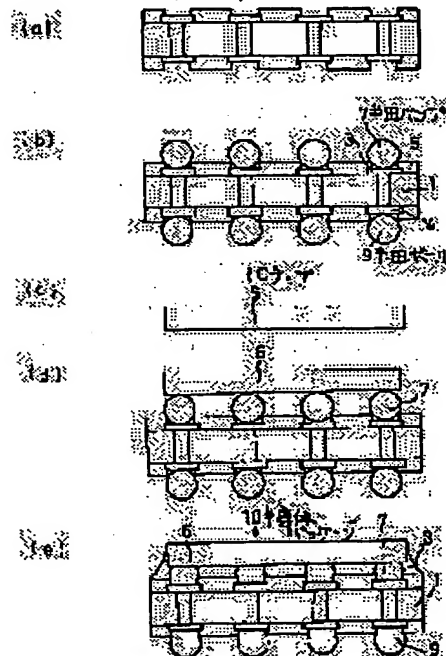
(72)Inventor : ISHIDA YOSHIHIRO

(54) MANUFACTURE OF SEMICONDUCTOR PACKAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the manufacture of a low cost semiconductor package superior in productivity which is loaded on a compact portable equipment, etc.

SOLUTION: Metallic exposure parts 3, 4 are made only of a circuit substrate 1 adhesive, using a solder forming solution further selectively applying solder powder to these parts 3, 4 for thermal melting, thereby simultaneously forming two protrudent electrodes 7, 9 on the upper and lower positions of through-holes. The protrudent electrodes 7, 9 made in almost the same size and of the same quality material while an IC chip 6 is being mounted on the protrudent electrodes 7 to be flip-chip connected in one-time reflow step. The body is sealed with a sealing resin so as to manufacture a package 10.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of the semiconductor package which carries out bonding of the semiconductor chip to the printed circuit board which has an external terminal in one field in the field of a bonding pad and another side, carries out flip chip bonding of the semiconductor chip to the projection electrode by the side of a bonding pad, and is characterized by forming a semiconductor package in the manufacture approach of the semiconductor package which manufactures a ball grid array (BGA) after forming a projection electrode in both sides of a printed circuit board beforehand.

[Claim 2] The manufacture approach of a semiconductor package according to claim 1 that the location of the projection electrode of the bonding pad formed in both sides of said printed circuit board and an external terminal is characterized by being in an abbreviation same location superficially.

[Claim 3] The manufacture approach of the semiconductor package according to claim 1 or 2 characterized by the magnitude of two projection electrodes formed in both sides of said printed circuit board being abbreviation identitas.

[Claim 4] The manufacture approach of the semiconductor package according to claim 1 to 3 characterized by the quality of the material of two projection electrodes formed in both sides of said printed circuit board being the same.

[Claim 5] The quality of the material of said projection electrode is the manufacture approach of the semiconductor package according to claim 4 characterized by being solder.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of the semiconductor package which carried out flip chip bonding, after forming the same bump as substrate both sides in more detail with respect to the manufacture approach of a semiconductor package.

[0002]

[Description of the Prior Art] In recent years, the flip chip bonding which mounts a bare chip on a substrate by direct face down in connection with the miniaturization of a semiconductor package and densification is developed. the appearance of a camcorder/movie, a portable telephone, etc. — a bare chip and abbreviation — the compact package of the same dimension and the pocket device which carried the so-called CSP (a chip size / scale package) are appearing successively. Development of CSP progresses quickly and the commercial-scene demand has got into stride recently.

[0003] Drawing 4 is process drawing explaining the manufacture approach of the conventional semiconductor package. First, after forming a through hole 2 in the circuit board 1 which is a printed circuit board by which the double-sided copper flare was carried out by NC hole-down processing in drawing 4 (a), After forming a coppering layer by non-electrolytic copper plating and electrolytic copper plating, laminating a plating resist further, carrying out exposure development and forming a pattern mask, by performing pattern etching using an etching reagent The external terminal 4 which is a pad electrode is formed in the top-face side of said circuit board 1 at a bonding pad [for IC connection] 3, and inferior-surface-of-tongue side. Next, by performing solder resist processing and forming the resist film 5 in a predetermined part, opening of the resist film 5 which is the front face which can solder many same configurations is formed in the shape of a matrix at the inferior-surface-of-tongue side of said circuit board 1 so that the external terminal 4 may be exposed.

[0004] First, IC chip mounting shown in drawing 4 (b) pours the IC chip 6 at a bump process, and forms the solder bump 7 in the pad electrode surface of said IC chip 6. Although there are generally a stud bump method, a ball bump method, a plating bump method, etc. in said solder bump's 7 formation approach, the plating bump method which forms an aperture in a pad electrode location in a resist, is immersed into a solder organ bath in it, and forms a solder bump by plating can form a bump in a pad inter-electrode narrow array, and is the means forming of a solder bump effective in the miniaturization of IC chip.

[0005] In drawing 4 (c), after applying flux to said IC chip 6 with a solder bump, or the bonding pad 3 of the circuit board 1 mentioned above and carrying the IC chip 6 in the predetermined location on the circuit board 1, flip chip mounting is performed through a solder reflow process.

[0006] The IC chip 6 is fixed on the circuit board 1 by face down by carrying out the resin seal of the closure process shown in drawing 4 (d) in one by side potting by thermosetting closure resin 8.

[0007] A ball electrode is formed when drawing 4 (e) arranges and carries out a reflow of the solder ball 9 to the location of the external terminal 4 formed in the inferior-surface-of-tongue side of said circuit board 1.

[0008] As for the solder presentation of said solder ball 9, a solder ball with the melting point lower than the solder of a flip chip is used. For example, a presentation of the solder bump 7 of a flip chip is Pb:90%, Sn10%, and the melting point C of 250 degrees, the presentation of the solder ball 9 is Pb:40%, Sn60%, and the melting point C of 180 degrees, and the melting points of solder differ, respectively. A semiconductor package 10 is completed by the above.

[0009] Drawing 5 is process drawing explaining the manufacture approach of other conventional semiconductor packages. Drawing 5 (a) is the same as that of drawing 4 (a) mentioned above. In drawing 5 (b) and (c), the solder ball 9 of 6/4 solder is applied to the external terminal 4 by the side of the inferior surface of tongue of the circuit board 1, and temporary immobilization of the flux is carried out.

[0010] In drawing 5 (d), the presentation of said solder ball 9 and solder forms the solder bump 7 of 6/4 homogeneous solder in the IC chip 6 side beforehand. After applying flux to the solder bump 7, temporary immobilization is carried out at the bonding pad 3 for IC connection formed in the top-face side of the circuit board 1 by drawing 5 (e).

[0011] In drawing 5 (f), the solder ball electrode for mother board substrate connection is formed in the external terminal 4 at the same time flux fuses with solder and connects the IC chip 6 to the bonding pad 3 of the circuit board 1 at 1 time of a reflow process by heating about [210-230 degrees] by C in a

heating furnace, since the above-mentioned solder presentation of the solder bump 7 and the solder ball 9 is 6/4 homogeneous solder.

[0012] In drawing 5 (f), a semiconductor package 10 is completed by carrying out side potting by thermosetting closure resin 8 so that the side face of the IC chip 6 may be covered.

[0013]

[Problem(s) to be Solved by the Invention] However, there are the following troubles in the manufacture approach of two semiconductor packages mentioned above. That is, also in which approach, apart from the solder ball by the side of the inferior surface of tongue of the circuit board, bumping of the solder bump is carried out to IC tip side, and flip-chip-bonding connection is made at a circuit board top-face side. Therefore, productivity was low and there were problems, such as a cost rise.

[0014] This invention is made in view of the above-mentioned conventional technical problem, and the purpose offers the manufacture approach of a cheap semiconductor package excellent in the productivity carried in a small pocket device etc.

[0015]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the manufacture approach of the semiconductor package in this invention carries out bonding of the semiconductor chip to the printed circuit board which has an external terminal in one field in the field of a bonding pad and another side, in the manufacture approach of the semiconductor package which manufactures a ball grid array (BGA), after it forms a projection electrode in both sides of a printed circuit board beforehand, carries out flip chip bonding of the semiconductor chip to the projection electrode by the side of a bonding pad, and is characterized by forming a semiconductor package.

[0016] Moreover, the projection electrode location of a bonding pad and an external terminal formed in both sides of said printed circuit board is characterized by being in the location of abbreviation identitas superficially.

[0017] Moreover, it is characterized by the magnitude of two projection electrodes formed in both sides of said printed circuit board being abbreviation identitas.

[0018] Moreover, it is characterized by the quality of the material of two projection electrodes formed in both sides of said printed circuit board being the same.

[0019] Moreover, the quality of the material of said projection electrode is characterized by being solder.

[0020]

[Embodiment of the Invention] Based on a drawing, the manufacture approach of the semiconductor package in this invention is explained below. Drawing 1 is involved in the gestalt of operation of this invention, and, for the top view by the side of the top face of a semiconductor package, and drawing 1 (b), the top view by the side of an inferior surface of tongue and drawing 2 are [drawing 1 (a)] the fragmentary sectional view of drawing 1 (a). Drawing 3 (a) is process drawing with which the A-A line sectional view of drawing 1 and drawing 3 (b) - (e) explain the manufacture approach of the semiconductor package of this invention. In drawing, the same sign shows the same member as the conventional technique.

[0021] First, in drawing 1 , drawing 2 , and drawing 3 (a), after forming two or more through holes 2 in the circuit board 1 by which the double-sided copper flare was carried out in the shape of a matrix by NC hole down processing, it is the same as that of the conventional technique to form coppering layer 2a in the wall of a through hole 2 by non-electrolytic copper plating and electrolytic copper plating. In order to secure an area effective in circuit pattern formation in the front face of the narrow circuit board 1, and in order to prevent the flow of solder in a through hole 2 and to maintain the height precision of solder Bengbu by the miniaturization of a semiconductor package, a through hole 2 is made up for with resin 2b.

[0022] Cu deposit 2c is formed for the vertical edge of said resin 2b made up for by non-electrolytic copper plating and electrolytic copper plating.

[0023] Furthermore, after laminating DF resist, carrying out exposure development and forming a pattern

mask as usual, patterning of the external terminal 4 which is a putt electrode is carried out to the top-face side of the circuit board 1 by performing pattern etching using an etching reagent at a bonding pad 3 and inferior-surface-of-tongue side. Next, opening of the resist film 5 which is the front face which can solder two or more same configurations is formed in the shape of a matrix by performing solder resist processing and forming the resist film 5 in a predetermined part.

[0024] Furthermore, 2d of nickel+Au deposits is formed in opening of said resist film 5 of non-electrolyzed nickel and gold plate.

[0025] By processing the goods which should be carried out a solder coat with solder coat formation liquid, give adhesiveness only to a metaled outcrop, solder powder is made to adhere to the part alternatively at this, and the technique which carries out a solder coat is indicated by JP,7-74459,A by carrying out heating fusion.

[0026] In drawing 3 (b), slime is generated by the front face of a bonding pad 3 and the external terminal 4 by coming out of the circuit board 1 by which opening of the resist film 5 which is the front face which can solder two or more same configurations was formed in the shape of said matrix to solder coat formation liquid for several minutes, and being immersed. After sprinkling solder powder over this, brushing lightly and making it give alternatively a slime part, solder powder is fused at predetermined temperature and the solder ball 9 is formed in the top face of the circuit board 1 with a sufficient precision with the solder bump 7 on the inferior surface of tongue at coincidence.

[0027] The location of the solder ball 9 is superficially formed in an abbreviation same location by the upper and lower sides of a through hole 2 with the solder bump 7 formed in both sides of said circuit board 1. Moreover, the magnitude is formed by abbreviation identitas and the quality of the material is formed [both] with solder.

[0028] In drawing 3 (c) and (d), mounting of the IC chip 6 can carry out flip chip bonding of the IC chip 6 by passing through a solder reflow process, after carrying the IC chip 6 in the solder bump's 7 predetermined location formed in the top face of said circuit board 1.

[0029] In drawing 3 (e), a semiconductor package 10 is completed by closing by side potting with thermosetting resin 8.

[0030] As explained above, the BGA package of this invention carries out flip chip bonding of the semiconductor chip, after forming a projection electrode in both sides of the circuit board beforehand.

[0031]

[Effect of the Invention] According to the manufacture approach of the semiconductor package of this invention, by processing with solder coat formation liquid giving adhesiveness only to the outcrop of the metal of both sides of the circuit board, making solder powder adhere to the part alternatively at this, and carrying out heating fusion — the location of the upper and lower sides of the location of two projection electrodes of a through hole — abbreviation — in the same magnitude It is homogeneous solder and can form at 1 time of a reflow process. It is possible to offer the manufacture approach of the cheap semiconductor package excellent in productivity.

[Translation done.]

*** NOTICES ***

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] With respect to the manufacture approach of the semiconductor package concerning the gestalt of operation of this invention, drawing 1 (a) is [the top view by the side of an inferior surface of tongue and drawing 1 (c) of the top view by the side of the top face of the circuit board and drawing 1 (b)] partial expanded sectional views.

[Drawing 2] It is the A-A line sectional view of drawing 1 (a).

[Drawing 3] It is the explanatory view showing the production process of the semiconductor package of this invention.

[Drawing 4] It is the explanatory view showing the production process of the conventional semiconductor package.

[Drawing 5] It is the explanatory view showing the production process of other conventional semiconductor packages.

[Description of Notations]

- 1 Circuit Board
- 2 Through Hole
- 3 Bonding Pad
- 4 External Terminal
- 5 Resist Film
- 6 IC Chip
- 7 Solder Bump
- 8 Closure Resin
- 9 Solder Ball
- 10 Semiconductor Package

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-40713

(P2000-40713A)

(43) 公開日 平成12年2月8日 (2000.2.8)

(51) Int.Cl.⁷

H 0 1 L 21/60
23/12

識別記号

3 1 1

F I

H 0 1 L 21/60
23/12

ターム* (参考)

3 1 1 S 4 M 1 0 5
L

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号

特願平10-207677

(22) 出願日

平成10年7月23日 (1998.7.23)

(71) 出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

(72) 発明者 石田 芳弘

東京都田無市本町6丁目1番12号 シチズン時計株式会社田無製造所内

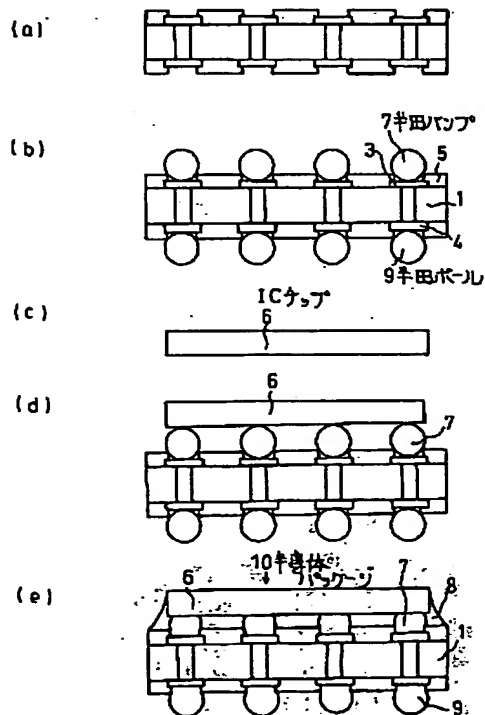
Fターム(参考) 4M105 AA02 AA10 AA17 AA18 AA19
BB05 BB11 GG17 GG18 GG19

(54) 【発明の名称】 半導体パッケージの製造方法

(57) 【要約】

【課題】 ICチップに半田バンプを形成した後、回路基板にフリップチップ接続する製造方法は、生産性が低く、生産コストが高くなる。

【解決手段】 回路基板1を半田コート形成液で処理することにより、基板の両面の金属の露出部3、4のみに粘着性を付与し、これに半田粉末をその部分に選択的に付着させ、加熱熔融することによって、スルーホール2の上下位置に2つの突起電極7、9を同時に形成する。突起電極7、9は略同じ大きさで、同質の半田であり、突起電極7にICチップ6を搭載し、一回のリフロー工程でフリップチップ接続する。封止樹脂で封止し半導体パッケージ10を製造する。生産性が優れコストが低減される。



(2)

【特許請求の範囲】

【請求項1】 一方の面にボンディングパッド、他方の面に外部端子を有する印刷配線板に半導体チップをボンディングし、ボールグリッドアレイ (BGA) を製造する半導体パッケージの製造方法において、予め印刷配線板の両面に突起電極を形成した後、半導体チップをボンディングパッド側の突起電極にフリップチップ接続し、半導体パッケージを形成したことを特徴とする半導体パッケージの製造方法。

【請求項2】 前記印刷配線板の両面に形成されたボンディングパッドと外部端子の突起電極の位置が、平面的に略同一位置に有ることを特徴とする請求項1記載の半導体パッケージの製造方法。

【請求項3】 前記印刷配線板の両面に形成された2つの突起電極の大きさが略同一であることを特徴とする請求項1又は2記載の半導体パッケージの製造方法。

【請求項4】 前記印刷配線板の両面に形成された2つの突起電極の材質が同一であることを特徴とする請求項1～3記載の半導体パッケージの製造方法。

【請求項5】 前記突起電極の材質は、半田であることを特徴とする請求項4記載の半導体パッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体パッケージの製造方法に係わり、更に詳しくは、基板両面に同じバンパを形成した後、フリップチップボンディングした半導体パッケージの製造方法に関するものである。

【0002】

【従来の技術】 近年、半導体パッケージの小型化、高密度化に伴い、チップを直接フェイスダウンで、基板上に実装するフリップチップボンディングが開発されている。カメラ一体型VTRや携帯電話機等の登場により、ベア・チップと略同じ寸法の小型パッケージ、所謂CSP (チップサイズ/スケール・パッケージ) を載せた携帯機器が相次いで登場してきている。最近CSPの開発は急速に進み、その市場要求が本格化している。

【0003】 図4は、従来の半導体パッケージの製造方法を説明する工程図である。先ず、図4 (a) において、両面銅張りされた印刷配線板である回路基板1にNC穴明け加工によりスルーホール2を形成した後、無電解銅メッキ及び電解銅メッキにより銅メッキ層を形成し、更にメッキレジストをラミネートし、露光現像してパターンマスクを形成した後、エッチング液を用いてパターンエッチングを行うことにより、前記回路基板1の上面側にIC接続用のボンディングパッド3、下面側にパッド電極である外部端子4を形成する。次にソルダーレジスト処理を行い、所定の部分にレジスト膜5を形成することにより、前記回路基板1の下面側には外部端子4を露呈するように、マトリックス状に多数の同一形状

2

の半田付け可能な表面であるレジスト膜5の開口部が形成される。

【0004】 図4 (b) に示すICチップ実装は、先ず、ICチップ6をバンパ工程に流して前記ICチップ6のパッド電極面に半田バンパ7を形成する。前記半田バンパ7の形成方法には、一般に、スタッドバンパ方式、ボールバンパ方式、及びメッキバンパ方式等があるが、その中で、パッド電極位置にレジストにて窓を形成し半田浴槽中に浸漬してメッキにて半田バンパを形成するメッキバンパ方式は、パッド電極間の狭い配列でバンパを形成することが可能で、ICチップの小型化には有効な半田バンパの形成手段である。

【0005】 図4 (c) において、前記半田バンパ付きICチップ6、又は前述した回路基板1のボンディングパッド3にフラックスを塗布して、ICチップ6を回路基板1上の所定位置に搭載した後、半田リフロー工程を経て、フリップチップ実装を行う。

【0006】 図4 (d) に示す封止工程は、熱硬化性の封止樹脂8でサイドポッティングにより一体的に樹脂封止することにより、ICチップ6はフェイスダウンで回路基板1上に固定される。

【0007】 図4 (e) は、前記回路基板1の下面側に形成された外部端子4の位置に、半田ボール9を配置してリフローすることによりボール電極が形成される。

【0008】 前記半田ボール9の半田組成は、フリップチップの半田より融点の低い半田ボールが使用される。例えば、フリップチップの半田バンパ7の組成は、Pb: 90%、Sn 10%、融点250°Cで、半田ボール9の組成は、Pb: 40%、Sn 60%、融点180°Cで、それぞれ半田の融点異なる。以上により半導体パッケージ10が完成される。

【0009】 図5は、従来の他の半導体パッケージの製造方法を説明する工程図である。図5 (a) は上述した図4 (a) と同様である。図5 (b)、(c) において、回路基板1の下面側の外部端子4に、例えば、6/4半田の半田ボール9をフラックスを塗布して仮固定する。

【0010】 図5 (d) において、ICチップ6側に予め、前記半田ボール9と半田の組成が同質の6/4半田の半田バンパ7を形成する。半田バンパ7にフラックスを塗布した後、図5 (e) で回路基板1の上面側に形成したIC接続用のボンディングパッド3に仮固定する。

【0011】 図5 (f) において、上記した半田バンパ7と半田ボール9の半田組成が同質の6/4半田のため、加熱炉中で210～230°C程度で加熱することにより、フラックスが半田と熔融して、一回のリフロー工程で、回路基板1のボンディングパッド3にICチップ6を接続すると同時に、外部端子4にマザーボード基板接続用の半田ボール電極を形成する。

【0012】 図5 (f) において、ICチップ6の側面

(3)

3

を覆うように、熱硬化性の封止樹脂8でサイドポッティングすることにより半導体パッケージ10が完成する。

【0013】

【発明が解決しようとする課題】しかしながら、前述した2つの半導体パッケージの製造方法には次のような問題点がある。即ち、いずれの方法においても、回路基板の下面側の半田ボールとは別に、ICチップ側に半田パンプをボンディングし回路基板上面側にフリップチップボンディング接続する。そのため、生産性が低く、コストアップ等の問題があった。

【0014】本発明は、上記従来の課題に鑑みなされたものであり、その目的は、小型携帯機器等に搭載する生産性に優れた、安価な半導体パッケージの製造方法を提供するものである。

【0015】

【課題を解決するための手段】上記目的を達成するために、本発明における半導体パッケージの製造方法は、一方の面にボンディングパッド、他方の面に外部端子を有する印刷配線板に半導体チップをボンディングし、ボールグリッドアレイ(BGA)を製造する半導体パッケージの製造方法において、予め印刷配線板の両面に突起電極を形成した後、半導体チップをボンディングパッド側の突起電極にフリップチップ接続し、半導体パッケージを形成したことを特徴とするものである。

【0016】また、前記印刷配線板の両面に形成されたボンディングパッドと外部端子の突起電極位置が、平面的に略同一の位置に有ることを特徴とするものである。

【0017】また、前記印刷配線板の両面に形成された2つの突起電極の大きさが略同一であることを特徴とするものである。

【0018】また、前記印刷配線板の両面に形成された2つの突起電極の材質が同一であることを特徴とするものである。

【0019】また、前記突起電極の材質は、半田であることを特徴とするものである。

【0020】

【発明の実施の形態】以下図面に基づいて本発明における半導体パッケージの製造方法について説明する。図1は、本発明の実施の形態に係わり、図1(a)は、半導体パッケージの上面側の平面図、図1(b)は、下面側の平面図、図2は、図1(a)の部分断面図。図3

(a)は、図1のA-A線断面図、図3(b)～(e)は、本発明の半導体パッケージの製造方法を説明する工程図である。図において、従来技術と同一部材は同一符号で示す。

【0021】まず、図1、図2及び図3(a)において、両面銅張りされた回路基板1に、NC穴明け加工により複数個のスルーホール2をマトリックス状に形成した後、無電解銅メッキ及び電解銅メッキによりスルーホール2の内壁に銅メッキ層2aを形成することは、従来

4

技術と同様である。半導体パッケージの小型化により、狭い回路基板1の表面に配線パターン形成に有効な面積を確保するため、及びスルーホール2内に半田の流れを防ぎ、半田パンプの高さ精度を維持するために、樹脂2bでスルーホール2を穴埋めする。

【0022】前記穴埋めした樹脂2bの上下端部を無電解銅メッキ及び電解銅メッキによりCuメッキ層2cを形成する。

【0023】更に、従来と同様に、DFレジストをラミネートし、露光現像してパターンマスクを形成した後、エッチング液を用いてパターンエッチングを行うことにより、回路基板1の上面側にボンディングパッド3、下面側にパッド電極である外部端子4をパターンニングする。次に、ソルダーレジスト処理を行い、所定の部分にレジスト膜5を形成することにより、マトリックス状に複数の同一形状の半田付け可能な表面であるレジスト膜5の開口部が形成される。

【0024】更に、前記レジスト膜5の開口部に無電解ニッケル及び金メッキにより、Ni+Auメッキ層2dが形成される。

【0025】半田コートすべき物品を半田コート形成液で処理することにより、金属の露出部のみに粘着性を付与し、これに半田粉末をその部分に選択的に付着させ、加熱熔融することによって半田コートする技術が、特開平7-74459号公報に開示されている。

【0026】図3(b)において、前記マトリックス状に複数の同一形状の半田付け可能な表面であるレジスト膜5の開口部が形成された回路基板1を、半田コート形成液に数分間浸漬することにより、ボンディングパッド3及び外部端子4の表面に粘着性物質が生成される。これに半田粉末をふりかけ、軽くブラッシングして粘着性物質部分に選択的に付与させた後、所定の温度で半田粉末を熔融し、回路基板1の上面に半田パンプ7と、下面に半田ボール9が同時に、精度良く形成される。

【0027】前記回路基板1の両面に形成された半田パンプ7と半田ボール9の位置が、スルーホール2の上下で平面的に略同一位置に形成される。また、その大きさが略同一で、その材質が共に半田で形成される。

【0028】図3(c)、(d)において、ICチップ6の実装は、ICチップ6を前記回路基板1の上面に形成された半田パンプ7の所定位置に搭載した後、半田リフロー工程を経ることにより、ICチップ6をフリップチップ接続することができる。

【0029】図3(e)において、熱硬化性樹脂8でサイドポッティングにより封止することにより半導体パッケージ10が完成される。

【0030】以上説明したように、本発明のBGAパッケージは、予め回路基板の両面に突起電極を形成した後、半導体チップをフリップチップ接続するものである。

(4)

5

【0031】

【発明の効果】本発明の半導体パッケージの製造方法によれば、半田コート形成液で処理することにより、回路基板の両面の金属の露出部のみに粘着性を付与し、これに半田粉末をその部分に選択的に付着させ、加熱熔融することによって、2つの突起電極の位置が、スルーホールの上下の位置に、略同じ大きさで、同質の半田で、且つ、一回のリフロー工程で形成することができる。生産性が優れた安価な半導体パッケージの製造方法を提供することが可能である。

【図面の簡単な説明】

【図1】本発明の実施の形態に係わる半導体パッケージの製造方法に係わり図1(a)は回路基板の上面側の平面図、図1(b)は下面側の平面図、図1(c)は部分拡大断面図である。

【図2】図1(a)のA-A線断面図である。

【図3】本発明の半導体パッケージの製造工程を示す説

6

明図である。

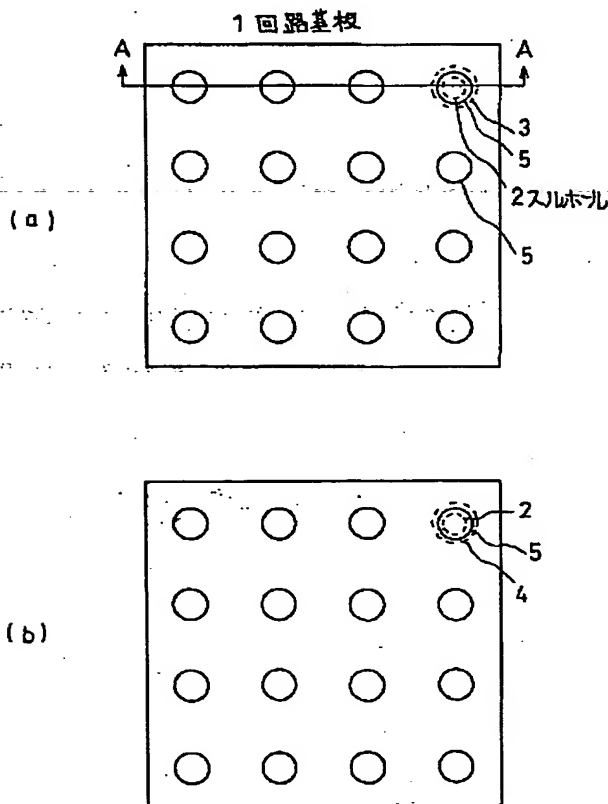
【図4】従来の半導体パッケージの製造工程を示す説明図である。

【図5】従来の他の半導体パッケージの製造工程を示す説明図である。

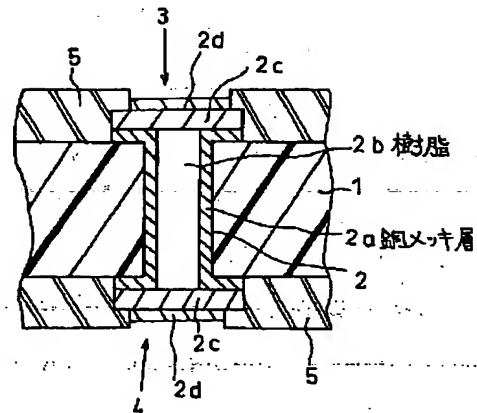
【符号の説明】

- 1 回路基板
- 2 スルーホール
- 3 ボンディングパッド
- 4 外部端子
- 5 レジスト膜
- 6 ICチップ
- 7 半田バンプ
- 8 封止樹脂
- 9 半田ボール
- 10 半導体パッケージ

【図1】

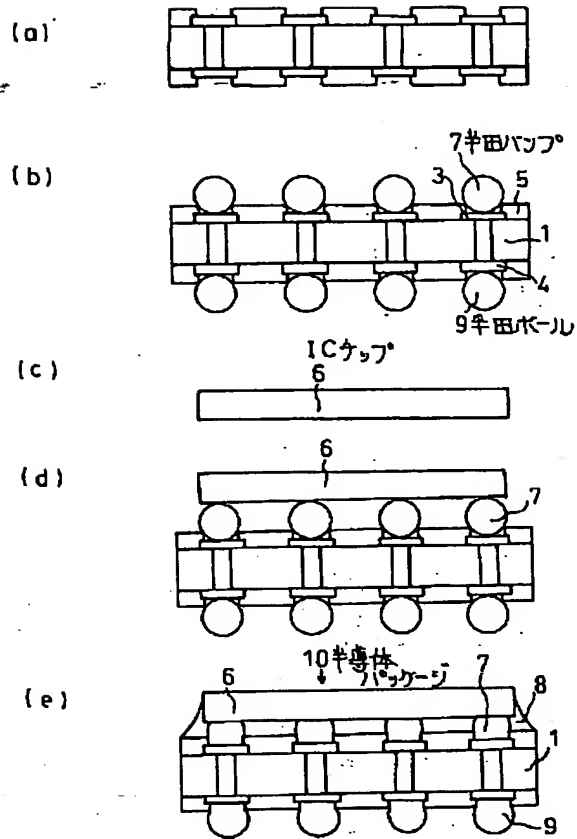


【図2】

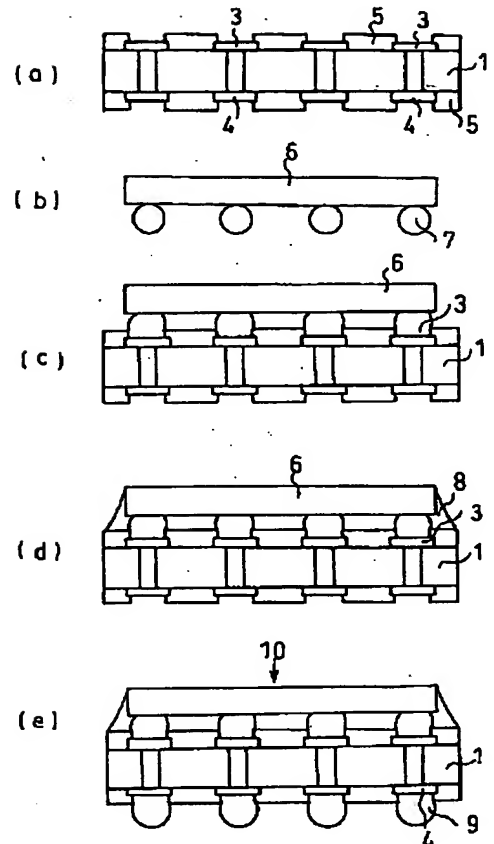


(5)

【図3】

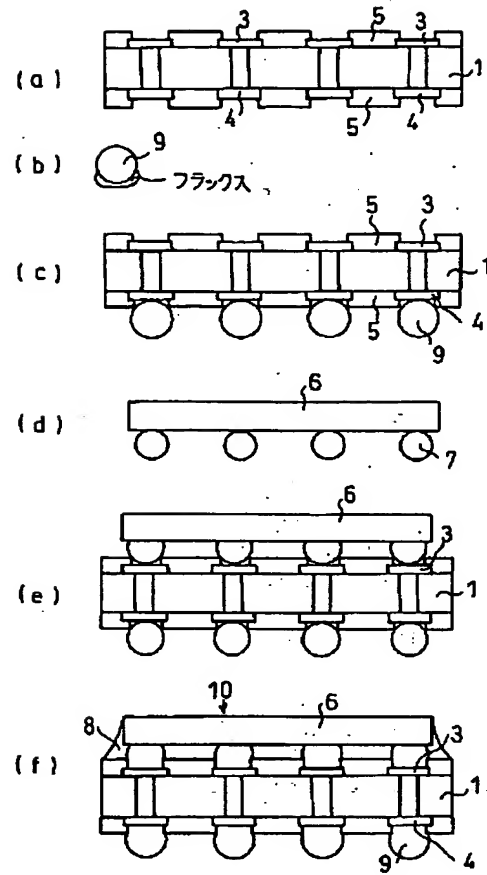


【図4】



(6)

【図5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.